



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63181068 A**(43) Date of publication of application: **26.07.88**

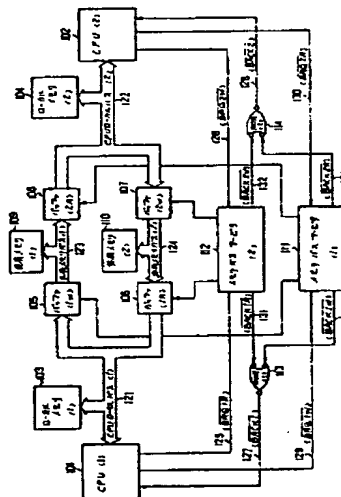
(51) Int. Cl.

G06F 15/16
G06F 15/16(21) Application number: **62013792**(71) Applicant: **NEC CORP**(22) Date of filing: **23.01.87**(72) Inventor: **NAKANO TORU****(54) MULTIPROCESSOR SYSTEM****(57) Abstract:**

PURPOSE: To attain the high speed access of data to a shared memory by providing the shared memory for selecting arbitrarily a data writing or a data reading and the shared memory for reading and independently adjusting the access of the data of the shared memory according to the operation of a CPU.

CONSTITUTION: A pair of independently operating CPUs 101, 102, a first shared memory 109, a second shared memory 110, sets of buffers 105, 106, 107, 108 and a pair of bus arbiters 111, 112 are provided. The first shared memory 109 is used for writing by one CPU and the second shared memory 110 is used for reading the data. The sets of the buffers 105, 106, 107, 108 switch the data writing and the data reading. One pair of bus arbiters 111, 112 instruct the data writing and the data reading to the sets of the buffers 105, 106, 107, 108 and independently decide the right of the data access of the first and the second shared memories 109, 110.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-181068

⑤ Int.Cl.⁴

G 06 F 15/16

識別記号

3 5 0

庁内整理番号

2116-5B
M-2116-5B

⑬ 公開

昭和63年(1988)7月26日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 マルチプロセサシステム

⑮ 特 願 昭62-13792

⑯ 出 願 昭62(1987)1月23日

⑰ 発 明 者 中 野 徹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

マルチプロセサシステム

2. 特許請求の範囲

独立に動作可能な一対のCPUと、前記一対のCPUのひとつによつてデータ書き込み用として使用される第1の共有メモリと、前記一対のCPUのひとつによつてデータ読出し用として使用される第2の共有メモリと、前記データ書き込みおよび前記データ読出しを切換えるための一組のバッファと、前記データ書き込みおよび前記データ読出しのそれぞれについて前記一組のバッファに指示を与え、独立に前記第1および第2の共有メモリのデータアクセスの権利を決定するための一対のメモリバスアービタとを具備して構成したことを特徴とするマルチプロセサシステム。

8. 発明の詳細な説明

(産業上の利用分野)

本発明は電子計算機のマルチプロセサシステムに関し、特にその共有メモリの構成方式に関する。

(従来の技術)

従来、この種のマルチプロセサシステムでは、第3図に示すように2つのCPUの間に共有メモリを備えて構成されたものが公知である。第3図において、301、302はそれぞれ第1および第2のCPU、303、304はそれぞれ第1および第2のローカルメモリ、305、306はそれぞれ第1および第2のバスバッファ、307は共有メモリ、308はメモリバスアービタ、310、311、312はそれぞれ共有メモリバス、第1のCPUローカルバス、および第2のCPUローカルバスである。

第1および第2のCPU 301、302から信号線311、313を介して共有メモリバス占有要求信号BRQ1、BRQ2が入力されると、メモリバスアービタ308はどちらのCPUに共有メモリ307のデータバス使用権を与

えるか判断し、共有メモリバス占有許可信号 $\overline{B\ ACK\ 1}$ 、または $\overline{B\ ACK\ 2}$ をそれぞれ信号線322、または信号線324に出力するためのものである。第1および第2のバスパツファ305、306は、第1および第2のCPU301、302をそれぞれのローカルバス311、312に接続するか、あるいは分離するためのものである。

(発明が解決しようとする問題点)

上述した従来の共有メモリを有するシステムにおいては、データの書き込み、またはデータの読出しに関係なく共有メモリのデータバスを占有するため、一方のCPUが共有メモリのデータバスを占有している間に他のCPUは共有メモリバス占有要求信号を出力しながら共有メモリバス占有許可信号がメモリバスアービタより出力されないため、共有メモリのアクセスに関しては待ち状態になる。

従つて、高速な実時間処理の要求されるマルチプロセサシステムにおいては、共有メモリへ

されるものである。

一組のパツファは、データ書き込みおよびデータ読出しを切換えるためのものである。

一对のメモリバスアービタは、データ書き込みおよびデータ読出しのそれぞれについて一組のパツファに指示を与え、独立に第1および第2の共有メモリのデータアクセスの権利を決定するためのものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明による共有メモリを有するマルチプロセサシステムの一実施例を示すブロック図である。第1図において、101、102はそれぞれ第1および第2のCPU、103、104はそれぞれ第1および第2のローカルメモリ、105～108はそれぞれ第1の書き込み用バスパツファ、第1の読出し用バスパツファ、第2の書き込み用バスパツファ、第2の読出し用バスパツファ、109、110はそれぞれ第1

のデータのアクセスが遅いと云う欠点がある。

本発明の目的は、任意にデータ書き込みあるいはデータ読出しを選択できるデータ書き込み用の共有メモリとデータ読出し用の共有メモリとを備え、データ書き込みおよびデータ読出しのそれぞれのモードについて一对のCPUの動作に応じて切換え、独立して共有メモリのデータのアクセス権を決定することによつて上記欠点を除去し、共有メモリへのアクセス速度が低下しないように構成した共有メモリを有するマルチプロセサシステムを構成することにある。

(問題点を解決するための手段)

本発明によるマルチプロセサシステムは独立に動作可能な一对のCPUと、第1の共有メモリと、第2の共有メモリと、一組のパツファと、一对のメモリバスアービタとを具備して構成したものである。

第1の共有メモリはひとつのCPUによつて書き込み用として使用されるものであり、第2の共有メモリは同様にデータ読出し用として使用

および第2の共有メモリ、111、112はそれぞれ第1および第2のメモリバスアービタ、113、114はそれぞれ第1および第2のNORゲートである。また、121、122はそれぞれ第1および第2のCPUローカルバス、123、124はそれぞれ第1および第2の共有メモリバス、125、126はそれぞれ $\overline{B\ R\ Q\ 1\ R}$ 、および $\overline{B\ R\ Q\ 2\ W}$ の信号線、127、128はそれぞれ $\overline{B\ A\ C\ K\ 1}$ 、および $\overline{B\ A\ C\ K\ 2}$ の信号線、129、130はそれぞれ $\overline{B\ R\ Q\ 1\ W}$ および $\overline{B\ R\ Q\ 2\ R}$ の信号線、131、132はそれぞれ $\overline{B\ A\ C\ K\ 1\ R}$ および $\overline{B\ A\ C\ K\ 2\ W}$ の信号線、133、134はそれぞれ $\overline{B\ A\ C\ K\ 1\ W}$ および $\overline{B\ A\ C\ K\ 2\ R}$ の信号線である。

第1および第2のCPU101、102を備えたマルチプロセサシステムにおいて、第1の共有メモリ109は第1のCPU101からデータを書き込み、第2のCPU102からデータを読出すものであり、第2の共有メモリ110は第2のCPU102からデータを書き込み、第

1のCPU101からデータを読出すためのものである。第1のメモリバスアービタ111は、第1のCPU101から信号線129上へ送出されたデータ書き込み要求信号 $\overline{BRQ1W}$ 、および第2のCPU102から信号線130上へ送出されたデータ読出し要求信号 $\overline{BRQ2R}$ を入力して、どちらのCPUに第1の共有メモリ109のデータのアクセス権を与えるか判断し、第1の共有メモリバス123の占有許可信号 $\overline{BACK1W}$ を信号線133上へ送出するか、あるいは同様の占有許可信号 $\overline{BACK2R}$ を信号線134上へ送出するためのものである。いつでも、第2のメモリバスアービタ112は第2のCPU102から信号線126上へ送出されたデータ書き込み要求信号 $\overline{BRQ2W}$ 、および第1のCPU101から信号線125上へ送出されたデータ読出し要求信号 $\overline{BRQ1R}$ を入力して、どちらのCPUに第2の共有メモリ110のデータのアクセス権を与えるか判断し、第2の共有メモリバス124の占有許可信号 $\overline{BAC$

メモリ109、110に対してデータのアクセスを実行していない。

時刻 $t_1 \sim t_2$ において、第1のCPU101は第2の共有メモリ110よりデータを読出し(RD)、第2のCPU102は第1の共有メモリ109よりデータを読出し(RD)している。時刻 $t_3 \sim t_4$ において、第1のCPU101は信号線129を介して第1の共有メモリ109のデータ書き込み要求信号 $\overline{BRQ1W}$ を送出したが、第2のCPU102は第1の共有メモリ109からデータを読出ししているため、第1のCPU101は第1の共有メモリ109に関しては待ち(WAIT)状態になる。時刻 $t_4 \sim t_5$ において、第2のCPU102が第1の共有メモリ109からのデータの読出しを終了したため、第1のCPU101は第1の共有メモリ109にデータを書き込むことができる。時刻 $t_5 \sim t_6$ において、第1のCPU101は第1の共有メモリ109にデータを書き込み、同時に第2のCPU102は第2の共有メモリ11

$\overline{K2W}$ を信号線132上へ送出するか、あるいは同様の占有許可信号 $\overline{BACK1R}$ を信号線131上へ送出するためのものである。第1の書き込み用バスバッファ105および第2の読出し用バスバッファ108は、第1および第2のCPU101、102のローカルバス121、122を第1の共有メモリ109に接続するか、あるいは両者間を分離するためのものである。第1の読出し用バスバッファ106および第2の書き込み用バスバッファ107は、第1および第2のCPU101、102のローカルバス121、122を第2の共有メモリ110に接続するか、あるいは両者間を分離するためのものである。

第2図は、第1および第2のCPU101、102から第1および第2の共有メモリ109、110のデータアクセスの模様を示すタイミングチャートである。

時刻 $t_0 \sim t_1$ において、第1および第2のCPU101、102は第1および第2の共有

メモリ109、110に対してデータのアクセスを実行している。時刻 $t_1 \sim t_2$ において、第1のCPU101は信号線125を介して第2の共有メモリ110にデータ読出し要求信号 $\overline{BRQ1R}$ を出力したが、第2のCPU102が第2の共有メモリ110にデータを書き込み続けているため、第1のCPU101は第2の共有メモリ110のデータのアクセスに関しては待ち(WAIT)状態になる。時刻 $t_2 \sim t_3$ においては、第2のCPU102が第2の共有メモリ110へのデータの書き込みを終了したため、第1のCPU101は第2の共有メモリ110からデータを読出すことができる。

(発明の効果)

以上説明したように本発明は、任意にデータ書き込みあるいはデータ読出しを選択できる書き込み用の共有メモリと読出し用の共有メモリとを備え、CPUの動作に応じて上記共有メモリのデータのアクセスを独立に調停することにより、一対の共有メモリのそれぞれに対して一対のCPUから同時にデータの書き込み、または読出し

を実行しても競合を避けることができるので、
共有メモリへのデータのアクセスが高速化され
ると云う効果がある。

4. 図面の簡単な説明

第 1 図は、本発明によるマルチプロセッサシステムの一実施例を示すブロック図である。

第 2 図は、第 1 図の実施例の動作を示すタイミングチャートである。

第 3 図は、従来技術によるマルチプロセッサシステムの一例を示すブロック図である。

101, 102, 301, 302 ... CPU

103, 104, 303, 304 ... ローカルメモリ

105 ~ 108, 305, 306 ... バスバッファ

109, 110, 307 ... 共有メモリ

111, 112, 308 ... メモリバスアービタ

113, 114 ... NORゲート

121 ~ 124, 310 ~ 312 ... バス

125 ~ 134, 321 ~ 324 ... 信号線

特許出願人 日本電気株式会社

代理人 弁理士 井ノ口 啓

第 1 図

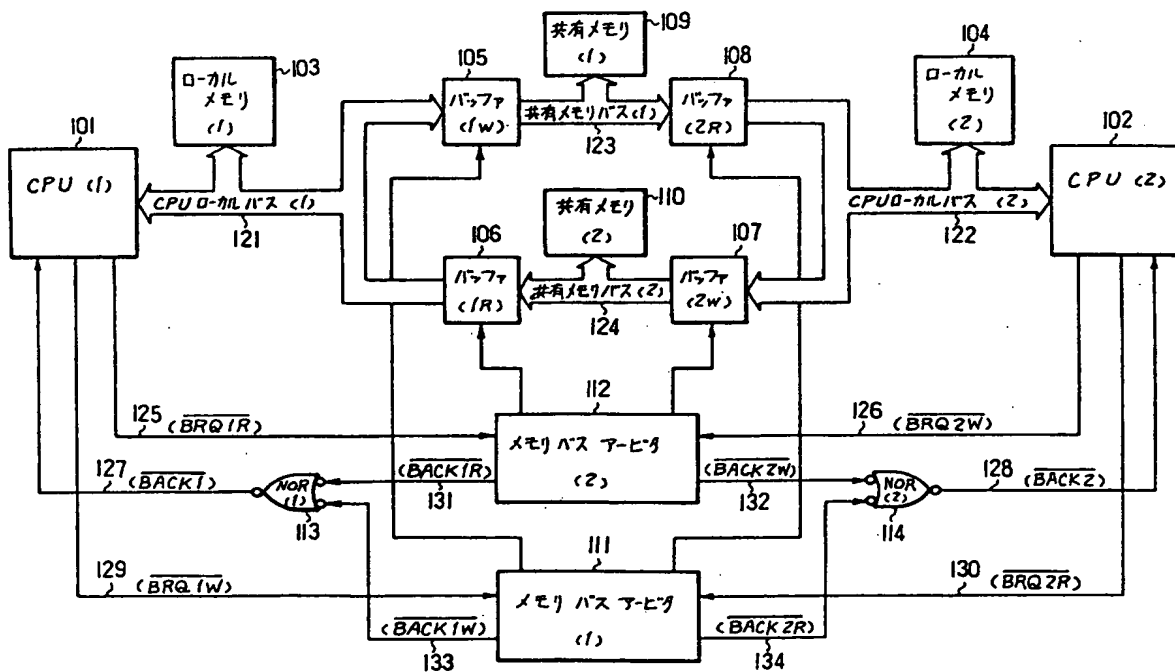


図2

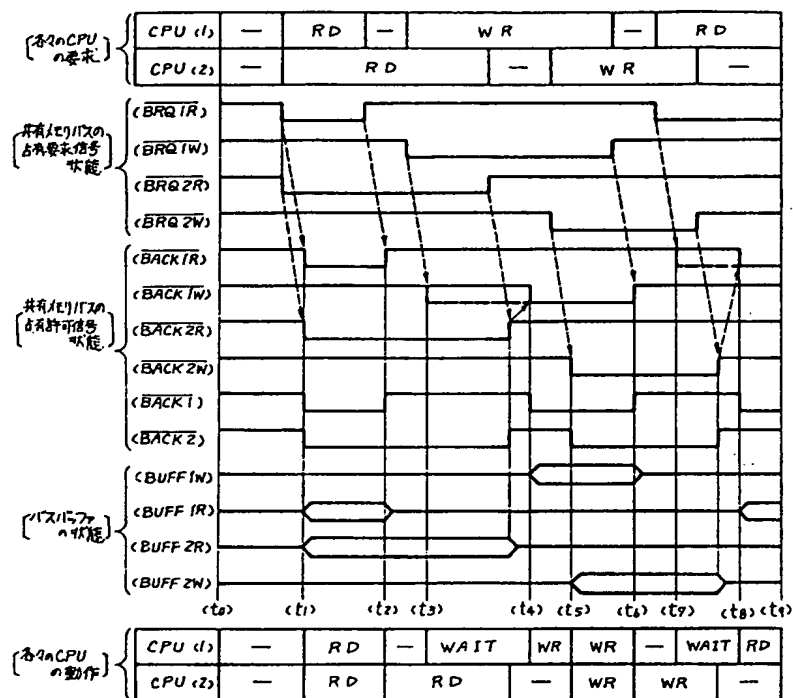


図3

